

PAT-NO: JP404196539A

DOCUMENT-IDENTIFIER: JP 04196539 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: July 16, 1992

INVENTOR-INFORMATION:

NAME
NAKATANI, HIROSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: JP02328111

APPL-DATE: November 28, 1990

INT-CL (IPC): H01L021/321

US-CL-CURRENT: 438/FOR.343

ABSTRACT:

PURPOSE: To prevent the permeation of etching liquid into an aluminum pad electrode and the decrease of adhesion of a bump electrode, by constituting a plural layer metal film layer region so as to stretch more widely than the contact region with the plural layer metal film layer at the time of forming a bump electrode.

CONSTITUTION: The title device is constituted of the following; a first insulating film 4 formed on a semiconductor substrate, an aluminum pad

electrode 1 formed on the film 4, a second insulating film formed so as to stretch from the upper surface periphery of the aluminum pad electrode 1 to the upper surface of the first insulating film, a plural layer metal film layer 2 formed so as to stretch from the upper surface central part of the aluminum pad electrode to the second insulating film, and a bump electrode 3 formed on the layer 2. The plural layer metal film region is formed so as to stretch more widely than the contact region with the layer 2 at the time of forming the electrode 3. In a resist ashing process, bias is applied to ashing gas such as O₂ and CHF₃, and anisotropic ashing is performed, thereby leaving resist 5 in a space where the bump electrode 3 and the plural layer metal film layer 2 face each other.

COPYRIGHT: (C)1992,JPO&Japio

PAT-NO: JP404171918A

DOCUMENT-IDENTIFIER: JP 04171918 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: June 19, 1992

INVENTOR-INFORMATION:

NAME

OTSUKA, TATSUYA
YASUI, MASARU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A
FUJITSU VLSI LTD	N/A
KK KYUSHU FUJITSU ELECTRON	N/A

APPL-NO: JP02300704

APPL-DATE: November 6, 1990

INT-CL (IPC): H01L021/027, H01L021/302

ABSTRACT:

PURPOSE: To avoid the damage of a semiconductor wafer occurring by plasma,
and prevent particles of a modified layer of photo resist from remaining on the surface of a wafer, by eliminating the modified layer of photo resist, and then eliminating the photo resist under the modified layer.

CONSTITUTION: In the ashing process wherein high dose ion implanted photo

resist is ashed by using a parallel plate type reactor, hydrogen sulfide and water vapor are used as process gas. From a high frequency power supply, a high frequency voltage is applied to a sample stand mounted with an object to be treated, and a high bias potential is formed between the sample stand and an

upper electrode, and thereby a first ashing process is performed. From the high frequency power supply, a high frequency voltage is applied to the sample stand, and a high bias potential is formed between the sample stand and the upper electrode, and thereby a second ashing process in which oxygen is used as process gas is performed.

COPYRIGHT: (C)1992,JPO&Japio

⑰ 公開特許公報 (A) 平4-171918

⑯ Int. Cl. 5

H 01 L 21/027
21/302

識別記号

庁内整理番号

⑰ 公開 平成4年(1992)6月19日

H

7353-4M

7352-4M

H 01 L 21/30

3 6 1 R

審査請求 未請求 請求項の数 4 (全6頁)

④発明の名称 半導体装置の製造方法

②特 願 平2-300704

②出 願 平2(1990)11月6日

③発明者 大塚 達也	愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル エスアイ株式会社内
③発明者 安井 優	鹿児島県薩摩郡入来町副田5950番地 株式会社九州富士通 エレクトロニクス内
③出願人 富士通株式会社	神奈川県川崎市中原区上小田中1015番地
③出願人 富士通ヴィエルエスア イ株式会社	愛知県春日井市高蔵寺町2丁目1844番2
③出願人 株式会社九州富士通エ レクトロニクス	鹿児島県薩摩郡入来町副田5950番地
④代理人 弁理士 井桁 貞一	

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

[1] 高ドーズイオンを注入したフォトレジストを、平行平板型リアクタを用いて行うアッシング工程において、

プロセスガスとして硫化水素と水蒸気を用い、被処理物を搭載する試料台(2)に高周波電源(4)により高周波電圧を印加し、前記試料台(2)と上部電極(3)との間に高バイアス電位を形成して行う第1のアッシング工程と、

プロセスガスとして酸素を用い、前記試料台(2)に高周波電源(4)により高周波電圧を印加し、前記試料台(2)と前記上部電極(3)との間に高バイアス電位を形成して行う第2のアッシング工程と、
を有することを特徴とする半導体装置の製造方法。

(2) 請求項1記載の半導体装置の製造方法にお

いて、第1のアッシング工程のプロセスガスとして臭化水素と水蒸気を用いることを特徴とする半導体装置の製造方法。

(3) 高ドーズイオンを注入したフォトレジストを、ECRエッチング装置を用いて行うアッシング工程において、

プロセスガスとして水素を用い、被処理物を搭載する試料台(12)に高周波電源(14)により高周波電圧を印加して高バイアス電位を形成して行う第1のアッシング工程と、

プロセスガスとして酸素を用い、前記試料台(12)に印加した高周波電圧を停止して行う第2のアッシング工程と、

を有することを特徴とする半導体装置の製造方法。

(4) 請求項3記載の半導体装置の製造方法において、第1のアッシング工程のプロセスガスとして臭化水素を用いることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔概要〕

半導体装置の製造工程における高ドーズイオンを注入したフォトレジストのアッシング方法の改良に関するもの。

高ドーズイオンの注入によりポリマー化したフォトレジストの変質層を除去することが可能となる半導体装置の製造方法の提供を目的とする。

(1) 高ドーズイオンを注入したフォトレジストを、平行平板型リアクタを用いて行うアッシング工程において、プロセスガスとして硫化水素と水蒸気を用い、被処理物を搭載する試料台に高周波電源により高周波電圧を印加し、前記試料台と上部電極との間に高バイアス電位を形成して行う第1のアッシング工程と、プロセスガスとして酸素を用い、前記試料台に高周波電源により高周波電圧を印加し、前記試料台と前記上部電極との間に高バイアス電位を形成して行う第2のアッシング工程とを有するよう構成する。

(2) 請求項1記載の半導体装置の製造方法にお

いて、第1のアッシング工程のプロセスガスとして臭化水素と水蒸気を用いるよう構成する。

(3) 高ドーズイオンを注入したフォトレジストを、ECRエッチング装置を用いて行うアッシング工程において、プロセスガスとして水素を用い、被処理物を搭載する試料台に高周波電源により高周波電圧を印加して高バイアス電位を形成して行う第1のアッシング工程と、プロセスガスとして酸素を用い、前記試料台に印加した高周波電圧を停止して行う第2のアッシング工程とを有するよう構成する。

(4) 請求項3記載の半導体装置の製造方法において、第1のアッシング工程のプロセスガスとして臭化水素を用いるよう構成する。

〔産業上の利用分野〕

本発明は、半導体装置の製造工程における高ドーズイオンを注入したフォトレジストのアッシング方法の改良に関するものである。

近年の半導体装置の高集積化・微細化に伴い、

半導体チップ上に存在するゴミに起因する半導体チップの不良発生が問題になっており、また、半導体チップはプラズマによるダメージに対して一層敏感になっている。

以上のような状況から、高ドーズイオンを注入したフォトレジスト変質層を除去する場合に、プラズマによるダメージを低減し、除去したフォトレジストのパーティクルがゴミとなって半導体チップの表面に残存するのを防止することが可能な半導体装置の製造方法が要望されている。

〔従来の技術〕

以下第3図、第5図により平行平板型リアクタを用いる従来の半導体装置の製造方法について詳細に説明する。

第3図は平行平板型リアクタの概略構造を示す図である。

この平行平板型リアクタはプロセスガスの排出口1aを上部に備えた処理室1内の下部には被処理物を載置する試料台2が設けられており、上部に

は反応ガスを導入する導入口3aを備えた上部電極3が設けられており、この上部電極3の下面にはガス噴出孔3bが設けられている。

この試料台2と上部電極3との間には、高周波電源4により高周波電圧が印加できるようになっている。

まず被処理物、例えば第5図に示すような表面にフォトレジスト膜6が形成され、その表面に高ドーズイオンの注入によりポリマー化したフォトレジストの変質層6aが形成された半導体ウエーハ5を、平行平板型リアクタの試料台2上に載置し、酸素を上部電極3の導入口3aから導入し、この上部電極3の下面に設けたガス噴出孔3bから酸素を噴出させながら、この試料台2と上部電極3との間に高周波電源4により高周波電圧を印加すると、この酸素の反応種がフォトレジスト膜6の変質層6aの微細な隙間を通して侵入し、内部のフォトレジスト膜6は除去されるが、このフォトレジスト膜の変質層6aの破碎されたパーティクルが半導体ウエーハ5上に残存する。

〔発明が解決しようとする課題〕

以上説明した従来の平行平板型リアクタを用いるフォトレジストの除去工程においては、内部のフォトレジストは除去されるが、表面に形成されているフォトレジストの変質層のパーティクルが半導体チップの表面に残存するという問題点があった。

本発明は以上のような状況から、高ドーズイオンの注入によりポリマー化したフォトレジストの変質層を除去することが可能となる半導体装置の製造方法の提供を目的としたものである。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、

(1) 高ドーズイオンを注入したフォトレジストを、平行平板型リアクタを用いて行うアッキング工程において、プロセスガスとして硫化水素と水蒸気を用い、被処理物を搭載する試料台に高周波電源により高周波電圧を印加し、この試料台と上部電極との間に高バイアス電位を形成して行う第

1 のアッキング工程と、プロセスガスとして酸素を用い、この試料台に高周波電源により高周波電圧を印加し、この試料台とこの上部電極との間に高バイアス電位を形成して行う第 2 のアッキング工程とを有するよう構成する。

(2) 上記の半導体装置の製造方法において、第 1 のアッキング工程のプロセスガスとして臭化水素と水蒸気を用いるよう構成する。

(3) 高ドーズイオンを注入したフォトレジストを、E C R エッティング装置を用いて行うアッキング工程において、プロセスガスとして水素を用い、被処理物を搭載する試料台に高周波電源により高周波電圧を印加して高バイアス電位を形成して行う第 1 のアッキング工程と、プロセスガスとして酸素を用い、この試料台に印加した高周波電圧を停止して行う第 2 のアッキング工程とを有するよう構成する。

(4) 上記の半導体装置の製造方法において、第 1 のアッキング工程のプロセスガスとして臭化水素を用いるよう構成する。

〔作用〕

即ち本発明においては、平行平板型リアクタを用いる場合においても、E C R エッティング装置を用いる場合においても、アッキング工程を二工程に分けて行い、まず第 1 の工程において高ドーズイオンの注入によりポリマー化したフォトレジストの変質層を除去し、その後第 2 の工程においてフォトレジスト膜のアッキングを行うので、フォトレジストの変質層のパーティクルが残存するのを防止でき、フォトレジストの変質層を除去する場合に限って強力なプラズマによるドライエッティングを行うので、半導体ウエーハの表面の素子形成領域にダメージを与えるのを防止することが可能となる。

〔実施例〕

以下、第 1 図、第 3 図、第 5 図により平行平板型リアクタを用いる本発明の半導体装置の製造方法について、第 2 図、第 4 図、第 5 図により E C R エッティング装置を用いる本発明の半導体装置の

製造方法について詳細に説明する。

本実施例において用いる平行平板型リアクタは従来の技術において説明したものと同じであり、第 3 図にその概略構造を示す。

まず第 5 図に示すような、表面にフォトレジスト膜 6 が形成され、その表面に高ドーズイオンの注入によりポリマー化したフォトレジストの変質層 6a が形成されている半導体ウエーハ 5 を、処理室 1 の下部に設けた試料台 2 の表面に載置する。

ここで上部電極 3 の導入口 3a から反応ガスを供給し、その下面の噴出孔 3b から反応ガスを噴出させながら、下記の条件の第 1 次アッキングを行って、フォトレジスト膜 6 の変質層 6a を除去する。

処理室内圧 0.5 Torr

反応ガス種及び流量

硫化水素 50 sccm

水蒸気 2 sccm

高周波電源出力 500 W

アッキング時間 4 分

このアッキング工程の原理は第 1 図(a)に示すよ

うに、反応ガスの水蒸気、即ち、 H_2O は高周波電圧の印加により、 H^+ と O^- に解離するので、この水酸基 O^- はフォトレジスト膜6の変質層6aとの間に引き抜き反応を起こして元の水蒸気に戻るが、変質層6aに含まれている反応生成物の酸素原子上の負電荷が非局在化し、この反応生成物は第1図(b)に示すような共鳴混成体を持つようになり、この共鳴混成体中の P^- は容易に硫化水素や水蒸気の解離により生じた H^+ により攻撃され、フォトレジスト膜6の変質層6aは破壊される。つぎにこの平行平板型リアクタで下記条件の第2次アッシングを行ってフォトレジスト膜6を除去する。

処理室内圧 5 Torr

反応ガス種及び流量

酸素 1,000 sccm

高周波電源出力 800 W

アッシング時間 60分

複数の半導体ウエーハ5の第2次アッシングを一度に行う場合には、図示しない通常のバレル型

アッシャーを用いることも可能である。

上記の硫化水素と水蒸気とを反応ガスとする第1次アッシング工程を、臭化水素(HBr)と水蒸気とを反応ガスとする第1次アッシング工程を下記の条件にて行う場合においても同様にフォトレジスト膜6の変質層6aを除去することが可能である。

処理室内圧 0.5 Torr

反応ガス種及び流量

臭化水素 50 sccm

水蒸気 2 sccm

高周波電源出力 500 W

アッシング時間 4分

本発明のアッシング工程に用いるE C Rエッチング装置の概略構造は第4図に示すようなものである。

図に示すように処理室11の下部には試料台12が設けられており、処理室11の上部にはマイクロ波発生装置13が設けられており、このマイクロ波発生装置13から出るマイクロ波は処理室11の上部に

設けたコイル13aによって制御されて照射位置が定められている。

反応ガスは処理室11の上面に設けた反応ガスの導入口11bから処理室11内に導入され、使用済の反応ガスは排出口11aから排出される。

試料台12には高周波電源14により高周波電圧が印加されるようになっている。

まず第5図に示すような表面にフォトレジスト膜6が形成され、その表面に高ドーズイオンによりポリマー化したフォトレジストの変質層6aが形成されている半導体ウエーハ5を、処理室11の下部に設けた試料台12の表面に載置する。

ここで反応ガスの導入口11bから反応ガスを供給しながら、下記の条件の第1次アッシングを行ってフォトレジスト膜6の変質層6aを除去する。

処理室内圧 5×10^{-3} Torr

反応ガス種及び流量

水素 10 sccm

高周波電源出力 800 W

マイクロ波発生装置出力 1.5 KW

アッシング時間 5分

このアッシング工程の原理は半導体ウエーハ5を載置した試料台12には高周波電力が印加されているので、プラズマ中の電子及び H^+ の移動度の差により、負にバイアスされた電位が生じる。このためプラズマ中の正イオン、即ち、 H^+ は負電位により引き寄せられて半導体ウエーハ5の表面に衝突する。

この H^+ の衝突による衝撃により第2図に示すようなフォトレジスト膜6の変質層6aの主鎖は断ち切られるので、主鎖を断ち切られてモノマー化した変質層6aはE C Rプラズマストリームにより容易に除去することが可能となる。

またE C Rエッチングは低イオンエネルギーで行われるので、プラズマの半導体ウエーハ5に与えるダメージも低く抑えることが可能である。

つぎにE C Rエッチング装置を用いて下記の条件にて第2次アッシングを行い、フォトレジスト膜6を除去する。

処理室内圧 7×10^{-3} Torr

反応ガス種及び流量

酸素 100 sccm
 高周波電源出力 0 W (印加せず)

マイクロ波発生装置出力 2.0 KW

アッキング時間 10分

上記の水素を反応ガスとする第1次アッキング工程を、臭化水素 (HBr) を反応ガスとする第1次アッキング工程を下記の条件にて行う場合においても同様にフォトレジスト膜6の変質層6aを除去することが可能である。

処理室内圧 5×10^{-3} Torr

反応ガス種及び流量

臭化水素 10 sccm
 高周波電源出力 800 W

マイクロ波発生装置出力 1.5 KW

アッキング時間 5分

第1次及び第2次のアッキング工程終了後、光学顕微鏡にて観察すると、段差部等にアッキング残渣は認められず、変質層6aのパーティクルも認められなかった。

能となる。

4. 図面の簡単な説明

第1図は平行平板型リアクタを用いる本発明の半導体装置の製造方法の原理を示す図、

第2図はE C Rエッチング装置を用いる本発明の半導体装置の製造方法の原理を示す図、

第3図は平行平板型リアクタの概略構造を示す図、

第4図は本発明に用いるE C Rエッチング装置の概略構造を示す図、

第5図は高ドーズイオンを注入したフォトレジスト膜及び変質層を示す図、

を示す。

図において、

1,11は処理室、

1a,11aは排出口、

11bは導入口、

2,12は試料台、

3は上部電極、

このようにアッキング工程を二工程に分け、まず第1の工程においてフォトレジストの変質層を除去し、その後第2の工程においてフォトレジスト膜のアッキングを行うので、フォトレジストの変質層のパーティクルが残存するのを防止でき、フォトレジストの変質層を除去する場合に限って強力なプラズマによるドライエッチングを行うので、半導体ウエーハの表面の素子形成領域にダメージを与えるのを防止することが可能となる。

〔発明の効果〕

以上の説明から明らかなように本発明によれば、第1の工程によりフォトレジストの変質層を除去し、ついで第2の工程によりこの変質層の下部のフォトレジストを除去するので、半導体ウエーハがプラズマによりダメージを受けることがなく、フォトレジストの変質層のパーティクルが半導体ウエーハの表面に残存するのを防止することができる等の利点があり、著しく品質を向上させることができる半導体装置の製造方法の提供ができる。

3aは導入口、

3bは噴出孔、

4,14は高周波電源、

5は半導体ウエーハ、

6はフォトレジスト膜、

6aは変質層、

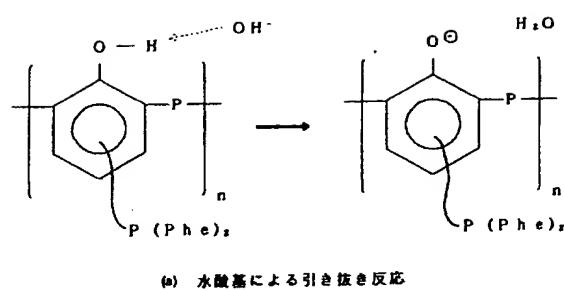
13はマイクロ波発生装置、

13aはコイル、

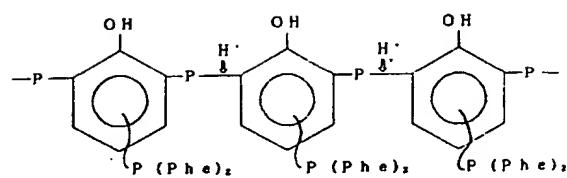
である。

代理人 弁理士 井桁貞一



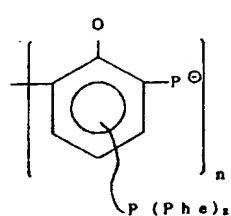


(a) 水酸基による引き抜き反応



ECRエッティング装置を用いる
本発明の半導体装置の製造方法の原理を示す図

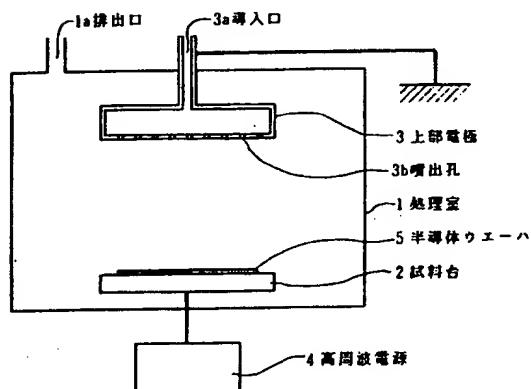
第 2 図



(b) 共鳴混成体の形成

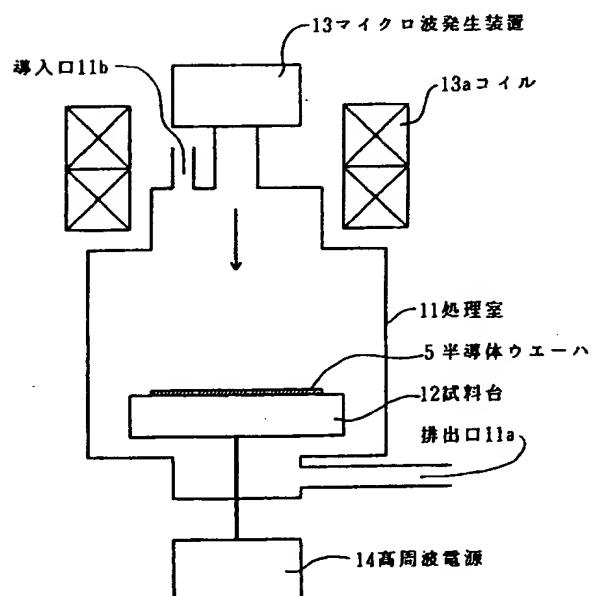
平行平板型リアクタを用いる
本発明の半導体装置の製造方法の原理を示す図

第 1 図



平行平板型リアクタの概略構造を示す図

第 3 図



本発明に用いる ECR エッティング装置の概略構造を示す図

第 4 図



高ドーザイオンを注入したフォトレジスト膜及び変質層を示す図

第 5 図